



2° MEETING IU.NET

Udine, 10-11 Febbraio 2011

RELAZIONE SUL PROGETTO

NANOSIL: Silicon-based nanostructures
and nanodevices for long term
nanoelectronics applications

Dic. 2007 – Dic. 2010, esteso a 03/2011

David Esseni



Genesi del progetto

- Consolidamento della NoE SINANO (6FP, 2004-2007) con ridimensionamento numero partners
- SINANO Institute è tentativo di avere struttura stabile che funga da "melting pot" per progetti UE:
 - "a) Promote and coordinate research in the area of nanoelectronic devices and technologies ... exploit the synergies deriving from the complementary nature of the competencies available at the Association Members ;
 - b) Encourage collaboration between associated members, research bodies, and industries"
- Progetto focalizzato sugli scenari "*More Moore*" e "*Beyond CMOS*"

Missione del progetto

- Network of Excellence: integrazione delle competenze in nanoelettronica nei laboratori di eccellenza europei
- Sviluppare le piattaforme collaborative (*joint platforms*) per fabbricazione e per caratterizzazione e modellistica già esplorate in SINANO
 - Fabbricazione con crescita dei materiali e passi di processo portati avanti da diversi partner del progetto
 - Sinergia fra caratterizzazione sperimentale e modellistica
- Innovazione per “*More Moore*” e “*Beyond CMOS*”
- Mobilità ricercatori e diffusione dei risultati

No	TITOLO	Coordinatore
WP1	More Moore	3 – WARWICK
WP2	Beyond CMOS	4 – AACHEN
WP3	Joint Processing Platform	5 – KTH
WP4	Joint Modelling and Characterisation Platform	6 – IUNET
WP5	Integration and Spread of Excellence (Workshops, NANOSIL exchanges)	7 – UCL

Obiettivi e risultati attesi per WP1 – More Moore:

FSP 1.1 – New channel materials

FSP 1.2 – Low barrier *Schottky* contacts

FSP 1.3 – Advanced gate stack/ high- κ dielectric material

Visionary Project 1.4: *More Moore Forum*

Obiettivi e risultati attesi per WP2 – Beyond CMOS:

FSP 2.1 - Prospects of 1D nanowires transistors

FSP 2.2 – Carbon electronics (associated Strep GRAND)

FSP 2.3 – Small slope nanoelectronic switches

FSP 2.4 – Templated self-organization

Visionary Project 2.6: *Beyond CMOS* vision

- Coordinamento di attività in WP4:
 - Confronto fra modelli di trasporto semi-classico
 - Mobilità in diverse architetture di dispositivo
 - Corrente di gate in transistori high- κ
 - Confronto fra trasporto semi-classico e quantistico
- Coordinamento attività fra fabbricazione (WP1) e caratterizzazione-modeling (WP4)
- Simulazione di transistori strained-on-SOI in WP1

Attività di cui IUNET è responsabili in NANOSIL	Responsabile IUNET
Simulation of strained N and PMOS On-Insulator devices	Udine
Benchmark devices	Cesena
Effective mobility	Udine
Benchmarking semiclassical transport	Cesena
Leakage in high-k transistors	Milano
Compact models	Pisa
Benchmarking semiclassical to full-quantum transport	Pisa

- **Roma:** partecipato ai lavori del progetto principalmente in FSP 1.3 – Advanced gate stack/ high- κ dielectric material

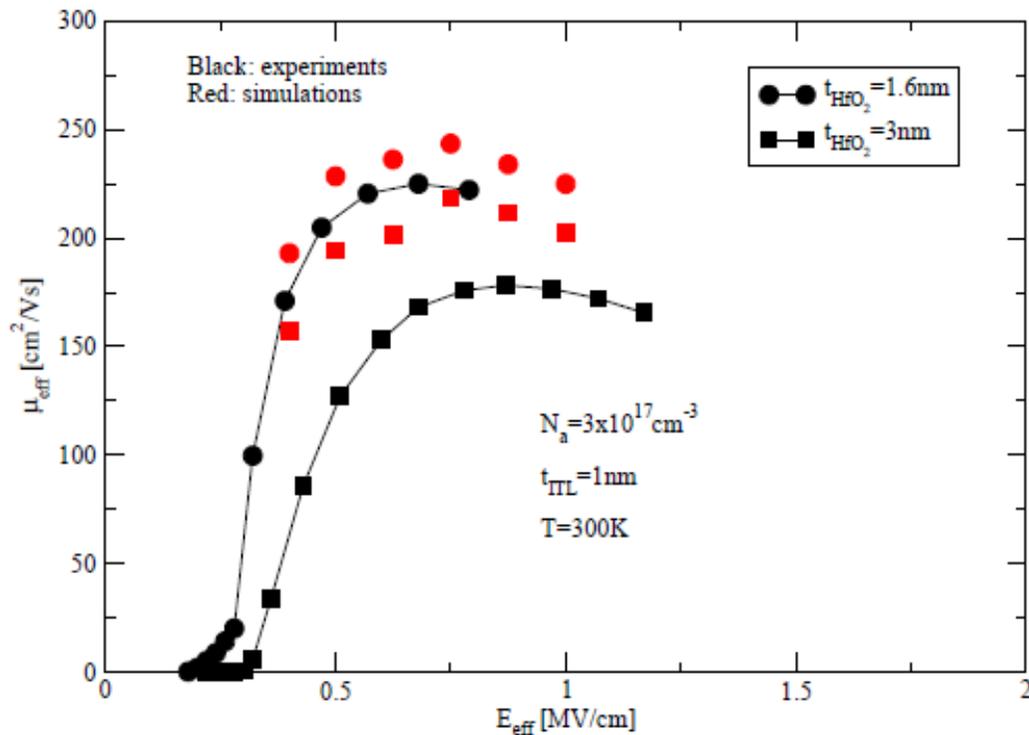
Distribuzione mesi uomo in IUNET

	WP1	WP2	WP4	WP5	TOTAL
IU.NET				1	1
Bologna	6	4	4	5	19
Politecnico Milano	2	2	3		7
Pisa	4	5	4	1	14
Udine	6	5	4	4	19
TOTAL	18	16	15	11	60

- Mobilità in transistori high-k, strained e multi-gate
- Transistori MOS high-k e metal gate
- Confronto fra approcci di simulazione numerica del trasporto in MOSFETs nanometrici

- Mobilità in transistori high-k, strained e multi-gate
 - Caratterizz. e simulaz. di mobilità in transistori high-k
- Transistori MOS high-k e metal gate
- Confronto fra approcci di simulazione numerica del trasporto in MOSFETs nanometrici

- **UCL:** dati sperimentali per high-k metal gate FinFETs
- **Tyndall:** mobility in bulk MOSFETs con HfO₂ based dielettrico di gate
- **AMO:** dati preliminari su SOI planar MOSFETs con dielettrico di gate Gd₂O₃
- **IUNET-Udine:** simulazione MSMC
- **Synopsis:** simulazioni con Monte Carlo 3D real space
- **Warshav:** simulazioni con tempo di rilassamento

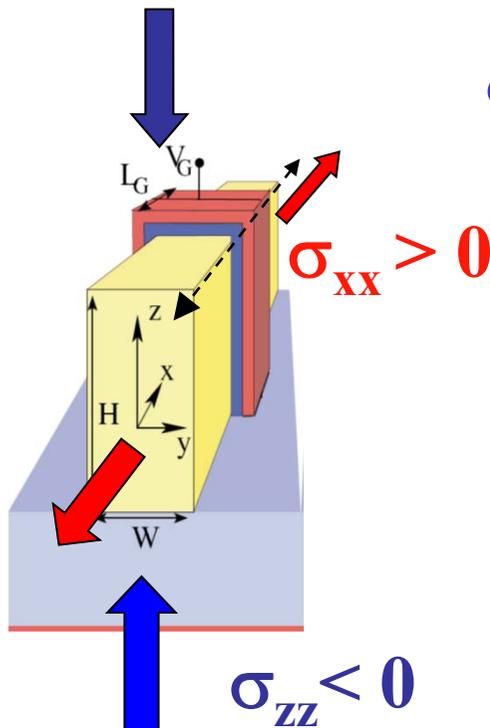


Risultati simulazioni
Monte Carlo, Udine

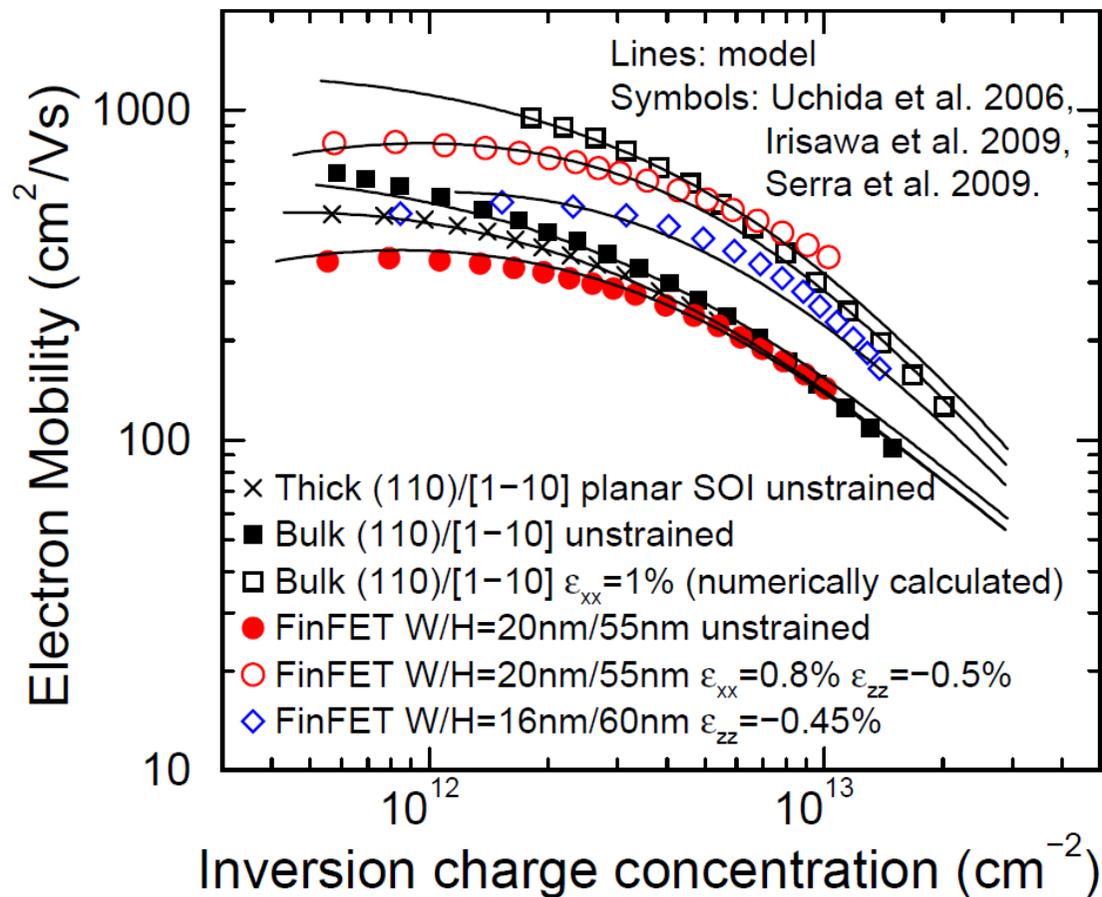
- **Tyndall:** mobility in bulk MOSFETs with HfO₂ based gate dielectric; **IUNET-Udine:** simulazione MSMC
- Tentativi di riprodurre la dipendenza della mobilità dallo spessore di HfO₂

- Mobilità in transistori high-k, strained e multi-gate
 - Simulazione di mobilità in FinFETs e strained FinFETs
- Transistori MOS high-k e metal gate
- Confronto fra approcci di simulazione numerica del trasporto in MOSFETs nanometrici

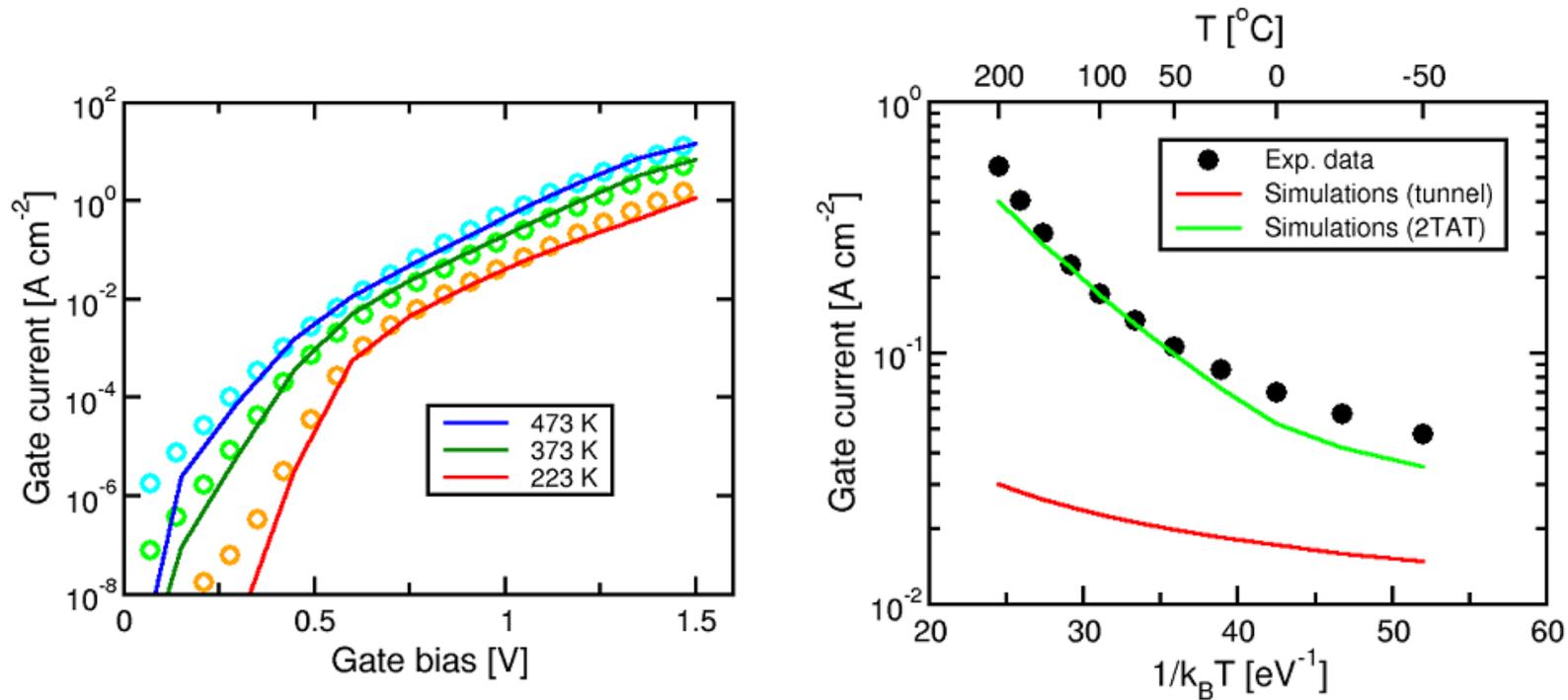
- Simulazioni Monte Carlo (Udine)
- Sviluppo di modelli TCAD (Bologna)



Risultati di modelli TCAD, Bologna

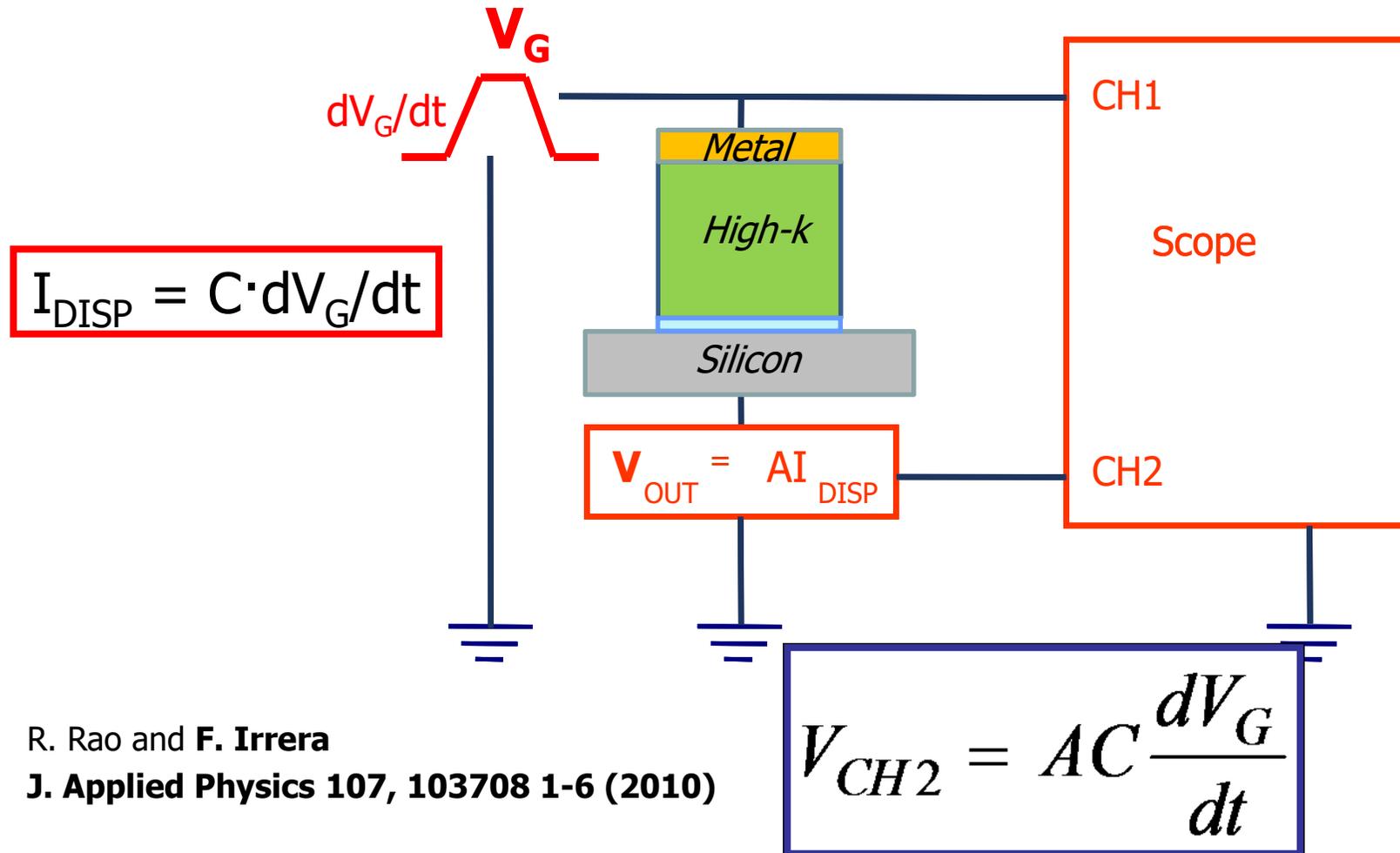


- Mobilità in transistori high-k, strained e multi-gate
- **Transistori MOS high-k e metal gate**
- Confronto fra approcci di simulazione numerica del trasporto in MOSFETs nanometrici



- Development of a 2TAT model for leakage in high-K oxides
- Results reported in D4.4 (coordinated by IUNET-MI)

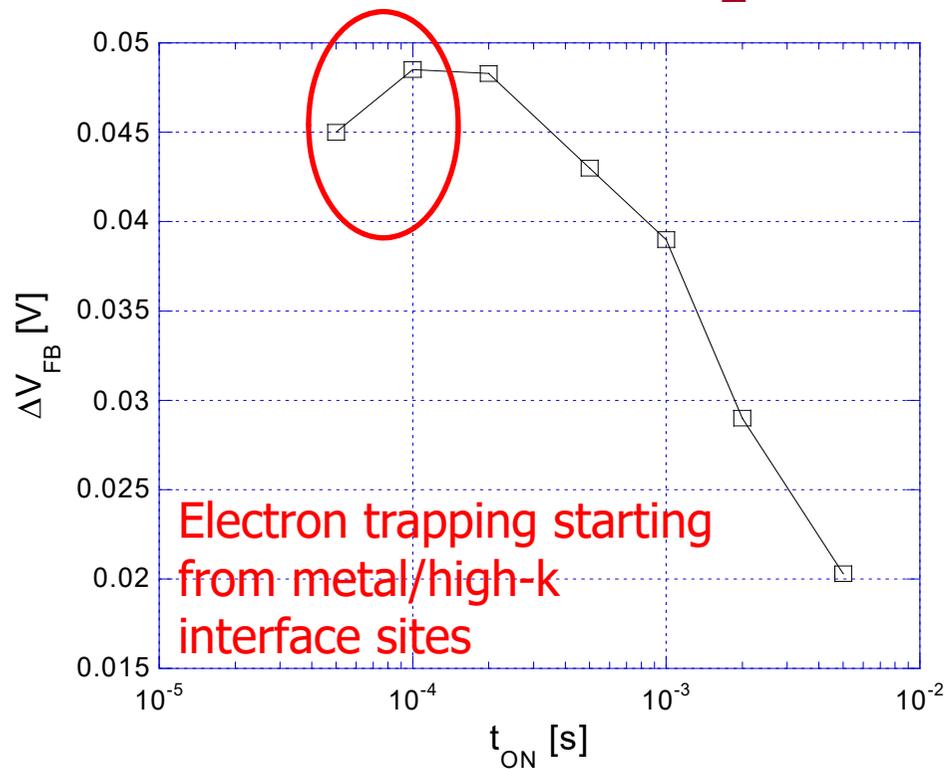
The pulsed C-V technique: Roma



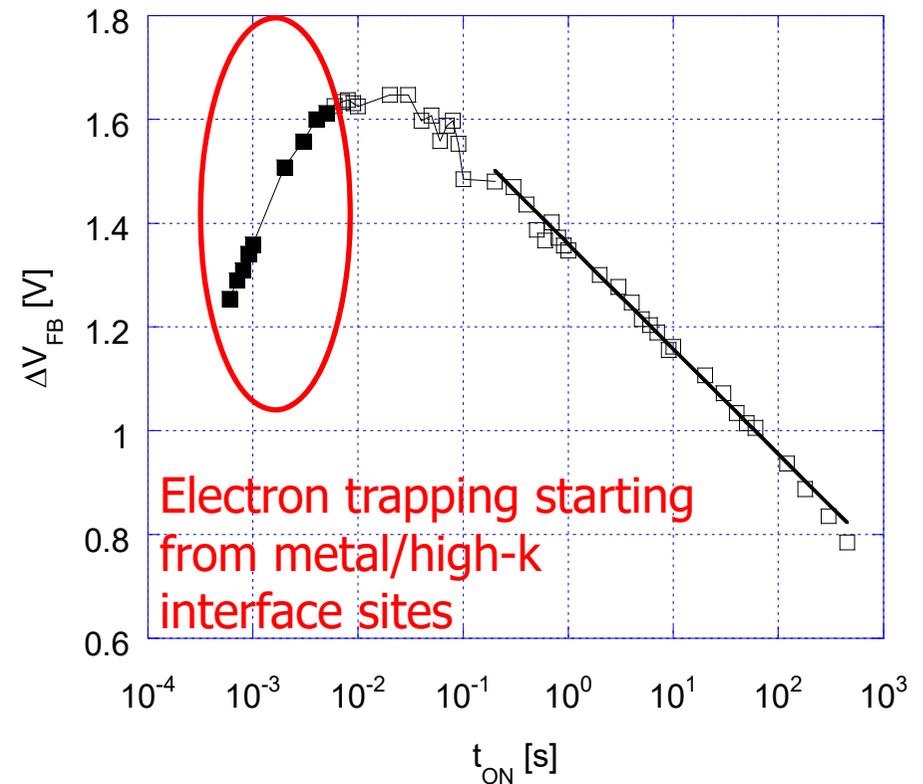
R. Rao and F. Irrera
J. Applied Physics 107, 103708 1-6 (2010)

Trapping: Bell-Shaped Curve

TiN/GdSiO/SiO₂/p-Si

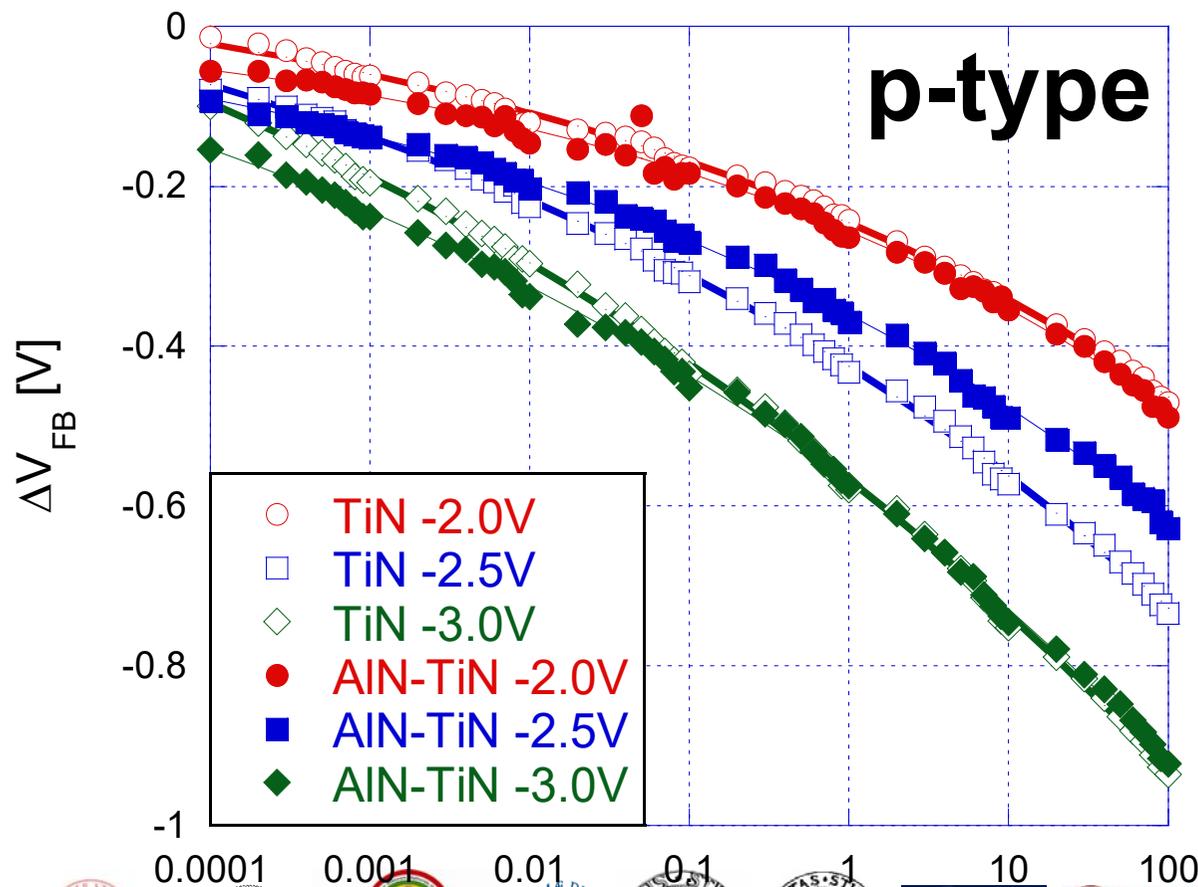


TaN/Al₂O₃/SiO₂/p-Si



Trapping in p-type LaLuO

Experiment



No Bell Shaped Curve

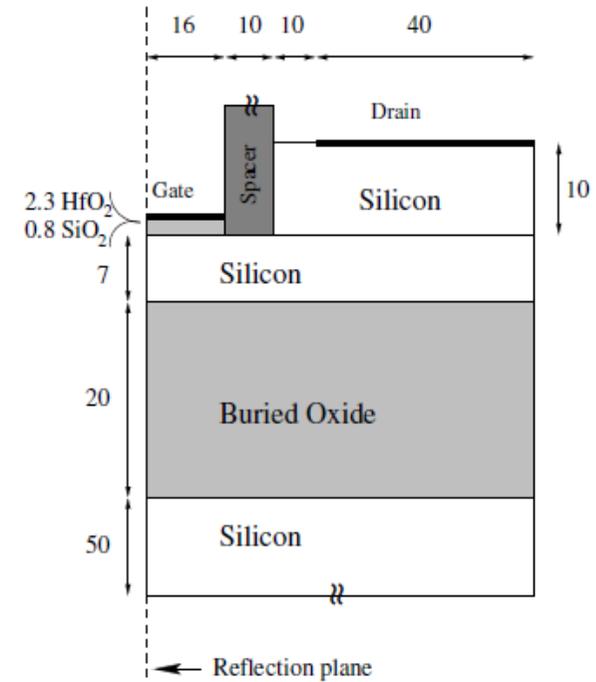


Good Metal/HK interface

- Mobilità in transistori high-k, strained e multi-gate
- Transistori MOS high-k e metal gate
- Confronto fra approcci di simulazione numerica del trasporto in MOSFETs nanometrici

Deliverable D4.3: Report on the benchmarking of semi-classical transport modeling

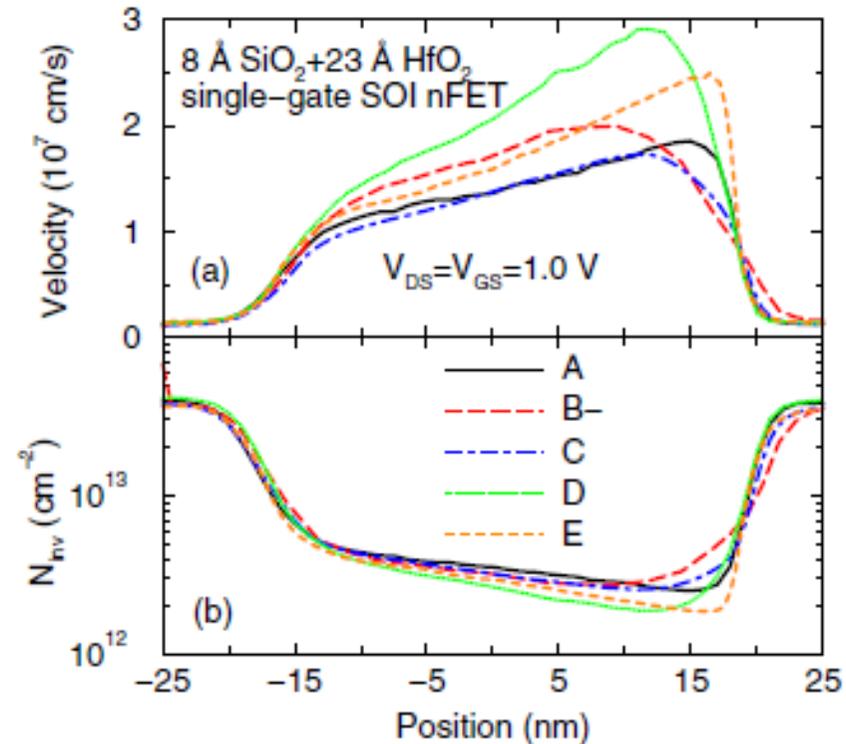
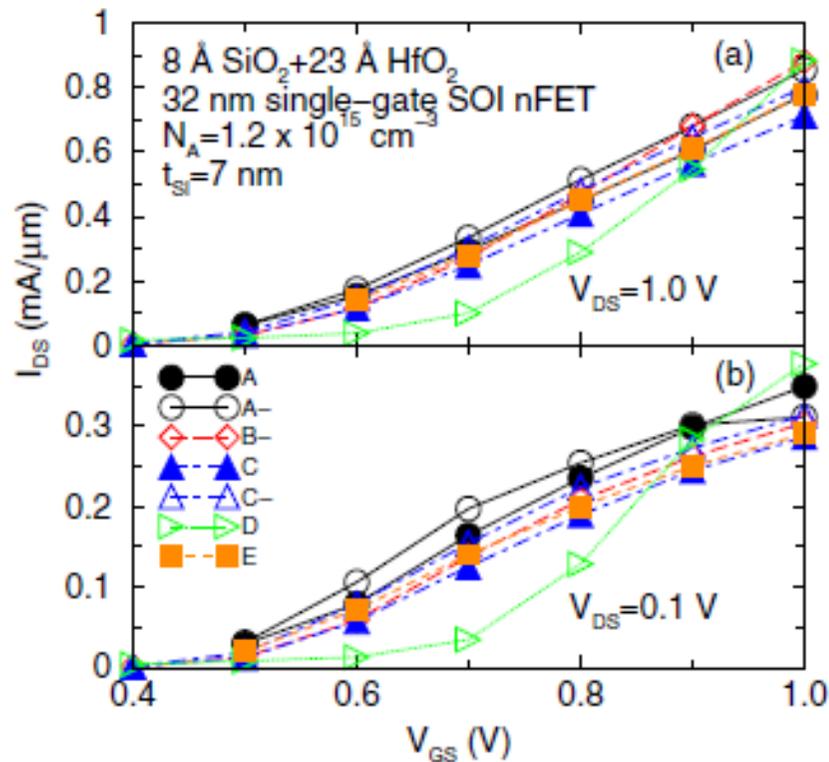
- Definizione di strutture template
- Pubblicazione risultati a IWCE



Comparison of Semiclassical Transport Formulations Including Quantum Corrections for Advanced Devices with High- κ Gate Stacks

F. M. Bufler^{*†}, V. Aubry-Fortuna[‡], A. Bournel[‡], M. Braccioli[§], P. Dollfus[‡],
 D. Esseni[¶], C. Fiegna[§], F. Gamiz^{||}, M. De Michielis[¶], P. Palestri[¶],
 J. Saint-Martin[‡], C. Sampedro^{||}, E. Sangiorgi[§], L. Selmi[¶] and P. Toniutti[¶]

* IIS, ETH Zürich, CH-8092 Zürich, Switzerland. † Synopsys Schweiz GmbH, CH-8050 Zürich, Switzerland.



- Confronto di caratteristiche IV ma anche di grandezze interne

Principali difficoltà

- Fabbricazione di dispositivi con molti elementi innovativi allo stesso tempo: substrati strained SOI, LaLuO e GdSiO, dopant segregated Schottky contacts → pochissimi transistori funzionanti !!
- Estensione di tre mesi (03/2011) è principalmente voluta da WP1-WP3 per fabbricazione
- Caratterizzazione nel WP4 (e.g. caratterizzazione interfaccia high-k con diverse tecniche complementari) è risultata poco sinergica col resto del work-package
- Possibili difficoltà esterne a WP1 e WP4 ?

- Azioni di tipo “More than Moore”: **NANOFUNCTION**;
Usò di nano-dispositivi per implementazione di nuove funzionalità (nano-biosensors)
- “More Moore”: Reach22 ?
Ge e materiali III-V per MOSFET possono migliorare I_{ON} e quindi consentono di ridurre V_{DD}
- “*Beyond CMOS*”: graphene transistors for RF applications ?



Grazie dell'attenzione



SAPIENZA
UNIVERSITÀ DI ROMA

