

2° MEETING IU.NET

Udine, 10-11 Febbraio 2011

RELAZIONE SUL PROGETTO

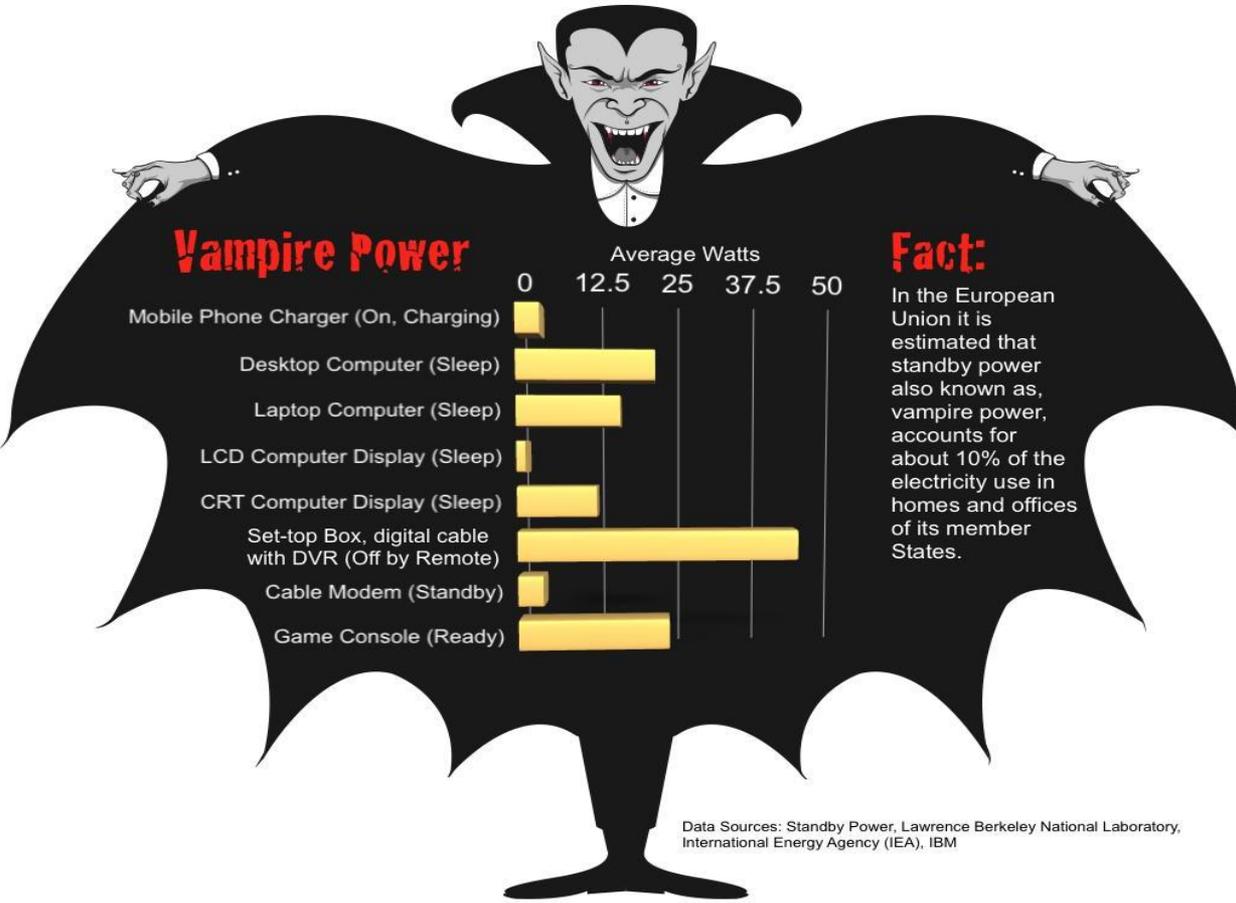
STEEPER

Steep subthreshold slope switches for energy efficient electronics

Pierpaolo Palestri
IU.NET-Udine

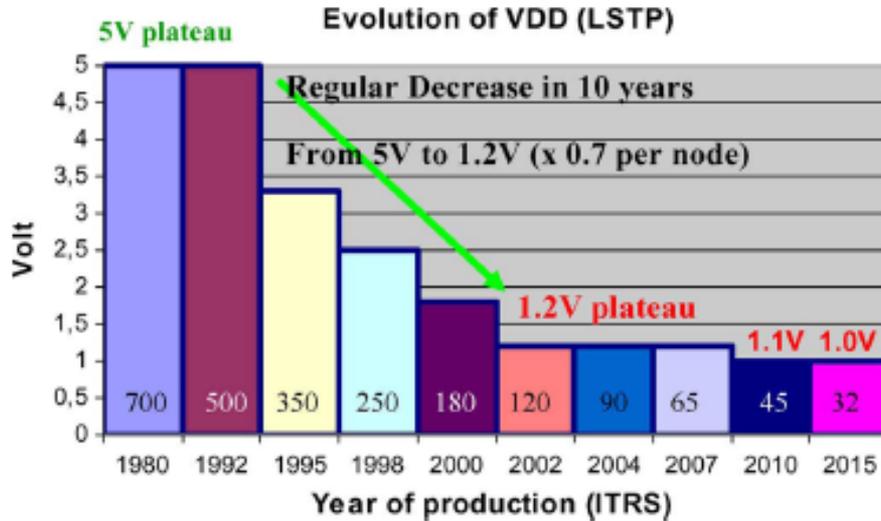


Ambito generale (1)



- Elevata dissipazione di potenza in stand-by dei sistemi elettronici

Ambito generale (2)

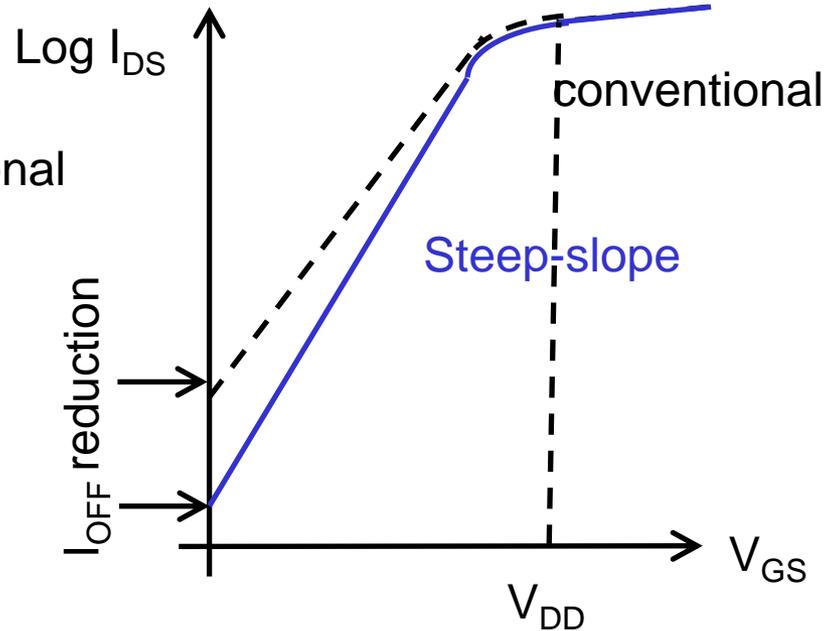
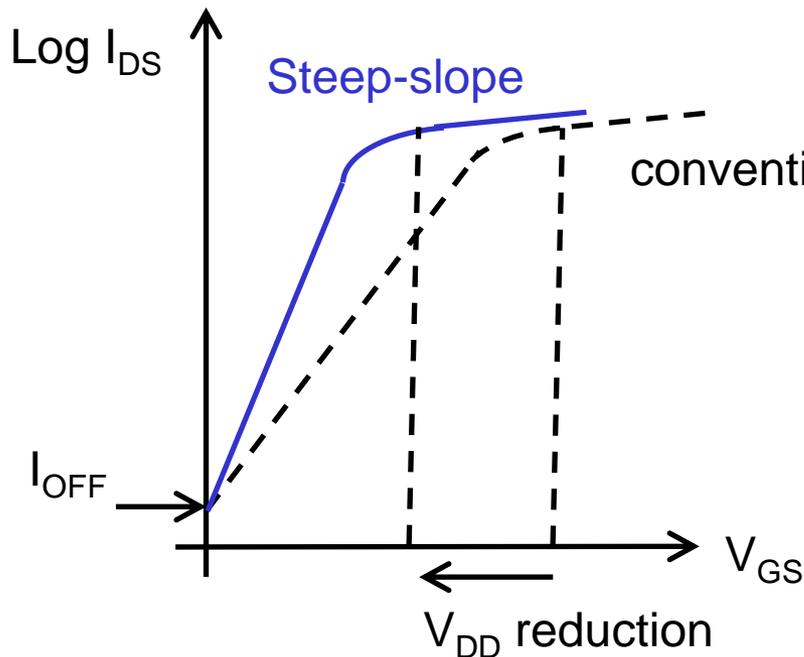


$$P = n_{gate} \alpha C f V_{DD}^2$$

- Mancato scaling di Vdd porta ad elevate potenze dissipate per area

Obiettivo del progetto

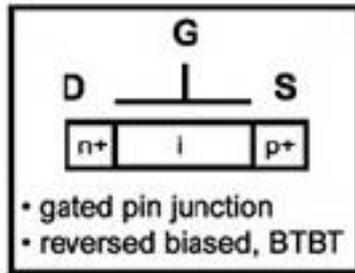
- Dimostrare la possibilità di avere dispositivi con pendenza inversa in sottosoglia più ripida dei 60mV/dec teorici (a 300K) al fine di
 - Ottenere circuiti operanti a $<0.5V$
 - Ridurre di almeno un fattore 10 la dissipazione in stand-by



Quali dispositivi ?

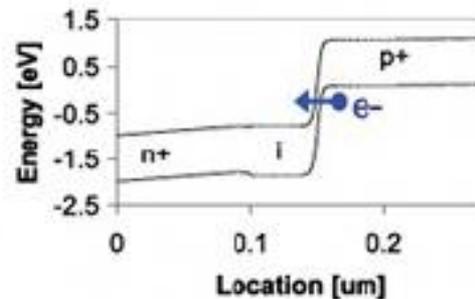
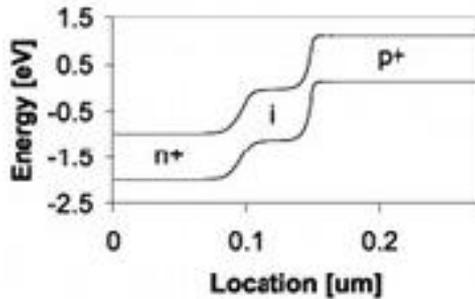
OFF-state^{a)}

- $V_d = \text{positive}$
- $V_g = 0$
- **no current flows**



ON-state

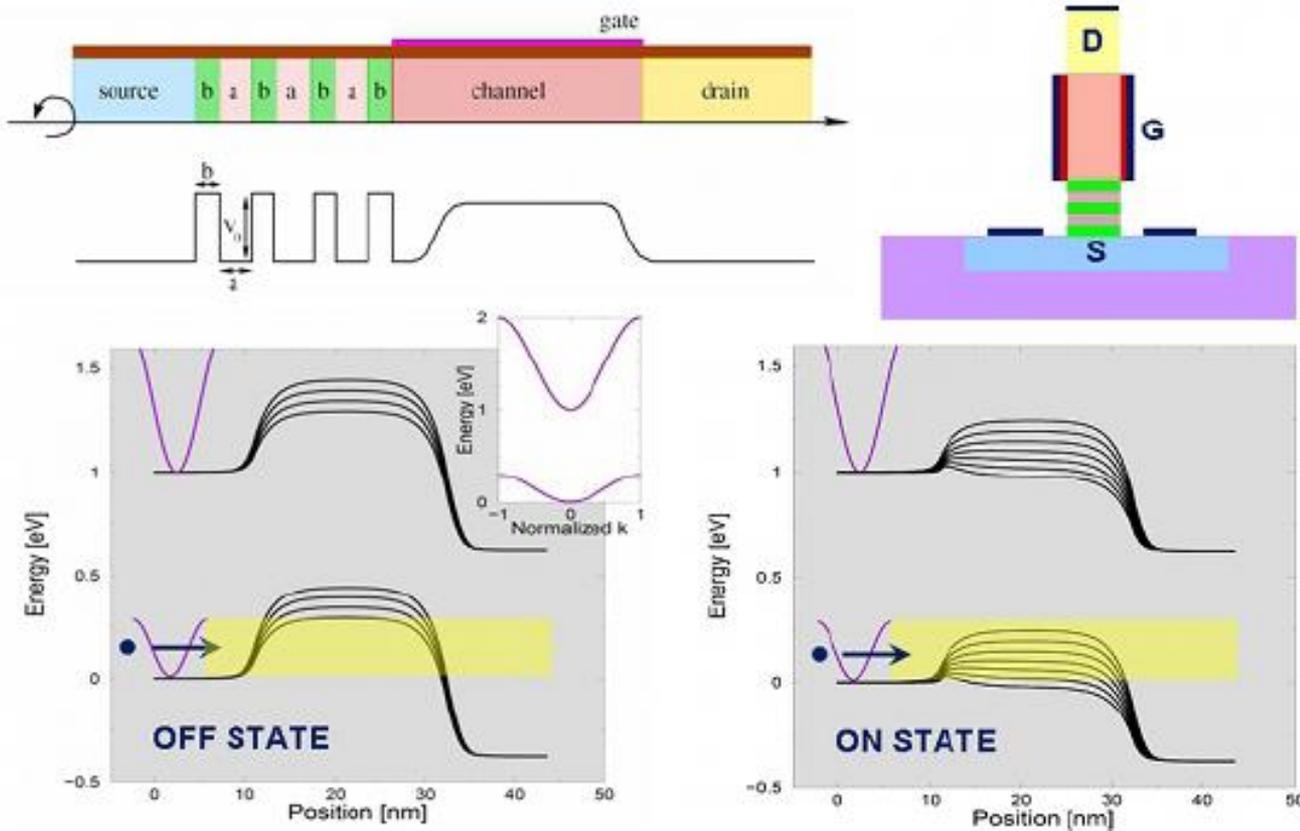
- $V_d = \text{positive}$
- $V_g = \text{positive}$
- **barrier thin, current flows**



- Tunnel-FET: basato sul tunneling banda-banda
- Diversi materiali (Si, SiGe, III-V, strain)
- Diverse architetture (planare, nanowire verticale, electrostatic-doping)

Quali dispositivi ?

- Super-lattice FET: basato sull'estensione finita delle sottobande nel source

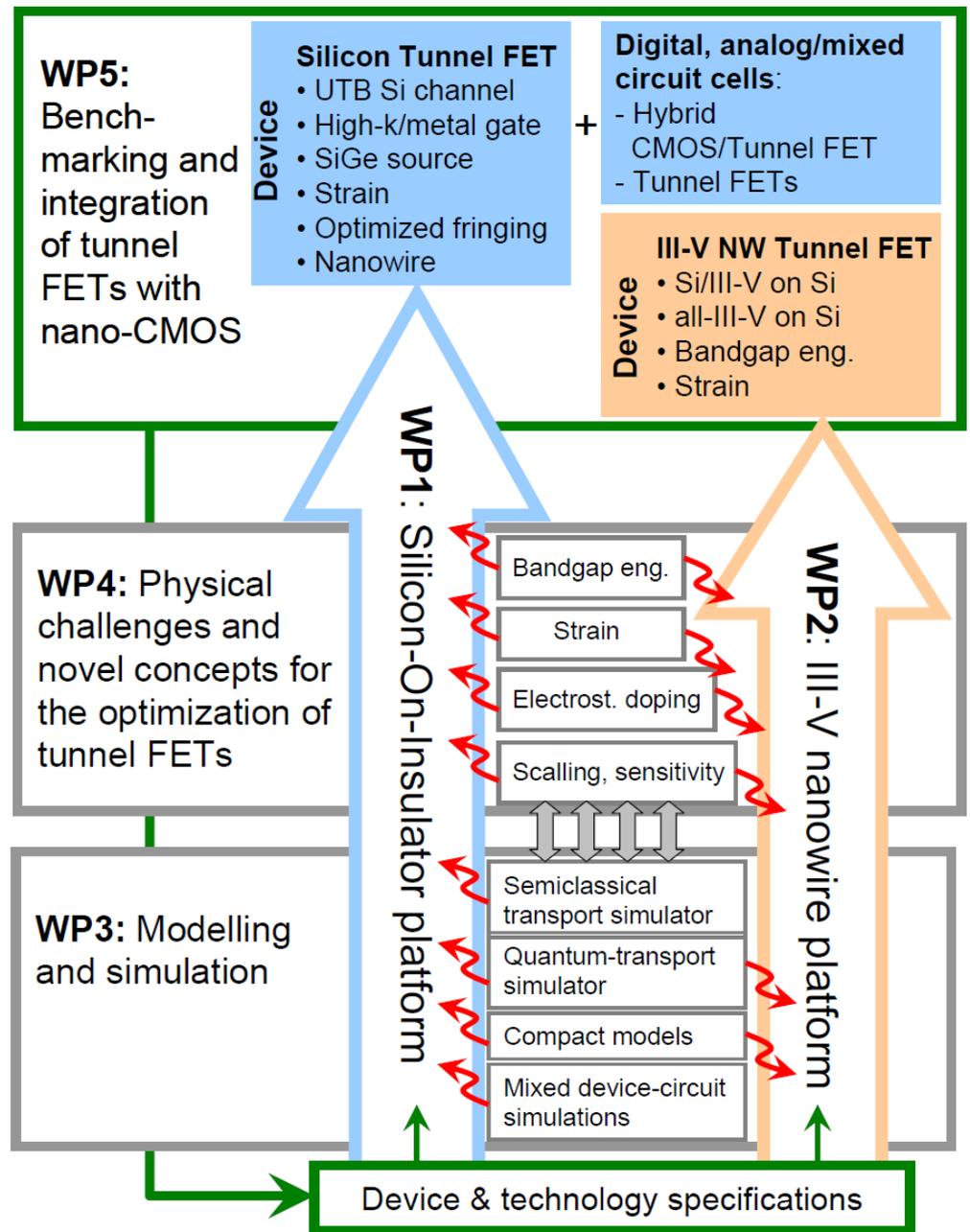


Genesi del progetto

- Progetto SLOPE (T-FET e IMOS) sottomesso a maggio 2007
- Non è passato, ma score alto. Problemi principali:
 - eccessivo numero di dispositivi considerati (IMOS)
 - debole coordinamento tra le attività
 - budget eccessivo e non ben giustificato
- I lavori sono ripresi nel 2009: T-FET+SL-FET
- Sottommissione: ottobre 2009
- Intenso e ottimo lavoro preparatorio (EPFL, SCIPROM)
- **Accettato**: febbraio 2010
- **Kick-off**: luglio 2010

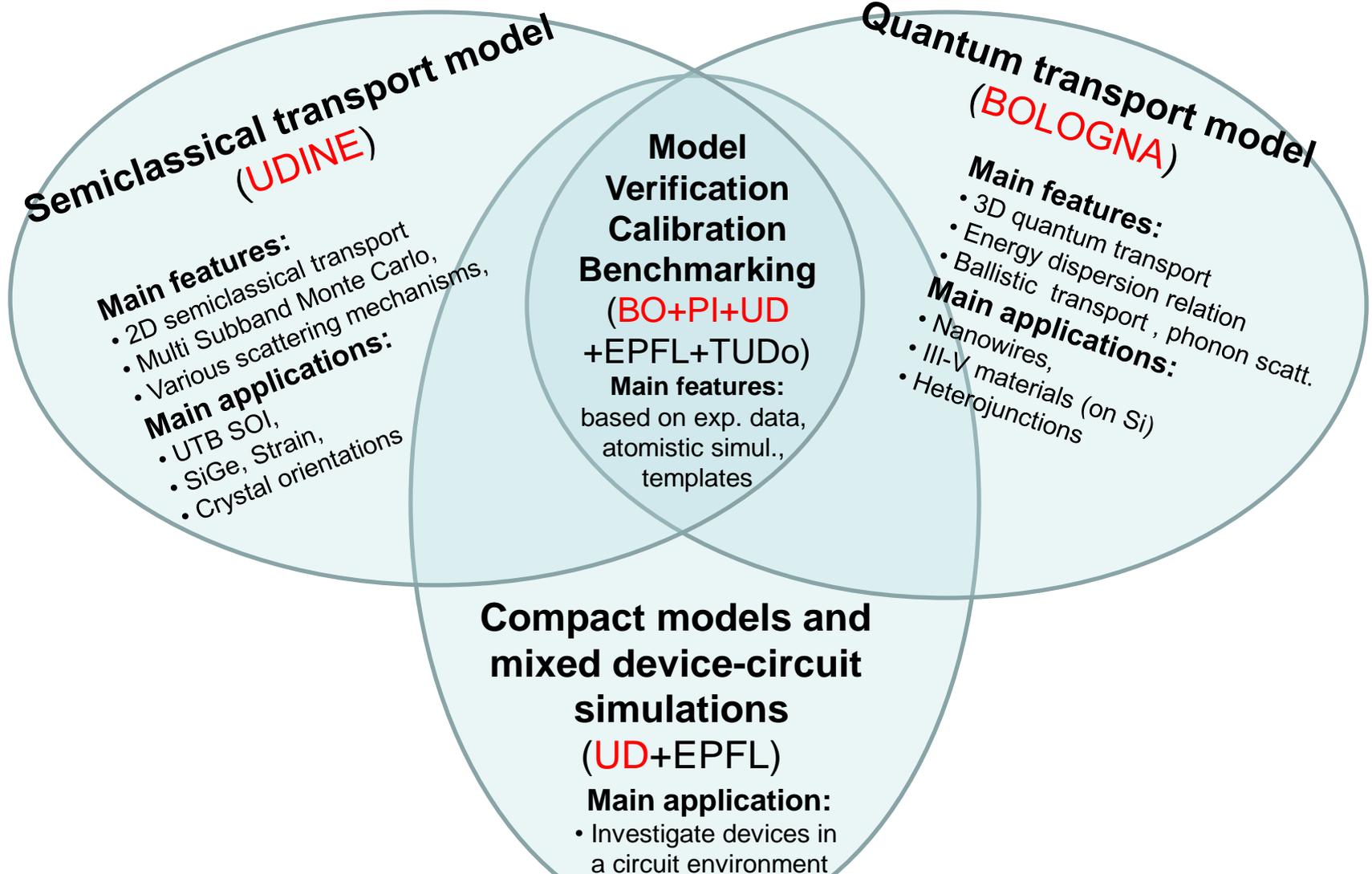
- **EPFL** (CH), University, *Coordinator*
- **CEA-LETI**, Research Institute, (FR)
- **Research Center Juelich**, Research Institute, (DE)
- **IBM Research**, Research Lab & Industry (CH)
- **Technische Universität Dortmund**, University, (DE)
- **Consorzio Nazionale Interuniversitario per la Nanoelettronica**, Consortium of Universities, (IT)
- **Global Foundries**, Industry, (DE)
- **INFINEON technologies**, Industry, (DE)
- **SCIPROM** (CH), Small company, *Management*

Organizzazione generale



- Attivi nei WP3 e WP4 con compiti simulativi
 - **Bologna:** modelli full-quantum per nanowires T-FET basati su III-V e per SL-FET
 - **Pisa:** modelli atomistici di tunneling banda-banda
 - **Udine:** modelli semi-classici (Monte-Carlo) per T-FET al Si e SiGe, simulazioni miste dispositivo/circuito

Participant n 3 IUNET	WP1	WP2	WP3	WP4	WP5	WP6	WP7	Total person months
Name								
University of Udine	1	0	23	14	2	1	0	41
University of Bologna	0	0	25	15	0	1	0	41
University of Pisa	0	0	7.5	0	0	1	0	8.5
IUNET	0	0	0	0	0	1	0	1
Total	1	0	55.5	29	2	4	0	91.5



- Principali attività:
 - influence of interface strain relaxation on tunnelling probabilities in III-V based tunnel diodes
 - sensitivity to parameter fluctuations and scalability of tunnel FETs
 - novel concepts as possible solutions to tunnel-FET specific issues and their potential to optimize Si and III-V based tunnel FETs